

活動単位を電荷で転送して脳神経回路の機能を実現する回路網の構築法

唐澤 信司

宮城工業高等専門学校 電気工学科 〒981-1239 宮城県名取市愛島塩手字野田山 48

E-mail: karasawa@miyagi-ct.ac.jp

あらまし 脳神経系は活動単位を転送し、その行動に伴いそれを再演するルートを作る。このしくみは電荷を転送するダイナミック MOS 回路でもできる。即ち、活動単位を電荷で表現して、それを MOS 回路網に転送し、不揮発性記憶素子を用いた回路で転送ルートを作り、活動をループにより保持して前後の活動を組織し、パストランジスタを持つ回路により活動の流れを制御して知能機能を実現する。本報告では、このようにして自律的に回路を建て増す知能システムを MOS デバイスで実現する技術とその要素回路を報告する。特に、書き込み可能で解読器を逆の活動を転送して符号器となる双方向論理回路を新しい知能構成要素回路として提案し、コンピュータシミュレータによってその動作を確認した結果とその要素回路の応用を述べる。

キーワード 脳のしくみ, 有限状態機械, プログラマブル・ロジック・デバイス, 双方向論理回路, VLSI.

Architecture to Emulate Brain Mechanisms by Transferring of Impulse as a Representative of Discrete Activity

Shinji KARASAWA

Miyagi National College of Technology, 48, Nodayama, Shiote, Medeshima, Natori-shi, Miyagi, 981-1239 Japan

E-mail: karasawa@miyagi-ct.ac.jp

Abstract An impulse in a brain is a signal of functioning and the effects depend on the cell. A positive impulse activates a discrete activity and a negative impulse suppresses the activity. A rotating impulse in a loop plays a role of short-term memory of an activity. A decoder as a substitution of neuron is formed by means of impulses as substitutions of discrete activities. This decoder operates a logic function and it does not need information processing. The decoder with pass transistor controls a stream of activities. The system is supervised by means of time-sharing operations caused by activities. This type of intelligent device is realized by using a programmable logic circuit. A floating gate MOSFET is able to use as a bi-directional connection. Architecture of the device for audiovisual understanding is reported to represent advantages of the intelligent circuit network system.

Keyword Brain mechanism, State machine, Programmable logic device, bi-directional logic circuit, VLSI,

1. はじめに

今日では、コンピュータと人間あるいはコンピュータと実世界との間のインターフェースを高度なものにすることが技術の課題となっている。この問題を解決する方法の一として、人間の脳神経系のしくみを知り、そのしくみを電子装置として構築することがある。

動物の体内では外部に対応する反応と巡回する反応を組み合わせて生きており、反応をインパルス(impulse)で転送し、その際に神経回路を作る。転送されるインパルスはその活動のタイミングを伝え、どの神経細胞が反応するかが意味を担う。動物は反応するだけで生きている。インパルスという活動単位を転送するというシステムにおいては各素子の

出力はただ活動するかどうかだけである。

従来のコンピュータや通信機器は情報を処理する装置である。情報処理では装置とデータは相違している。脳神経回路や人工知能の分野においてもその殆どがこの情報処理という概念で研究が行われている[1],[2]。このようなシステムはプログラムもデータもコピーできて、繰り返して使えるので便利である。

しかし、著者は脳神経系の機能が自動的に形成されるしくみを活動により回路が形成されるとして脳神経系の活動を電子回路で再現する研究に取り組んだ。

最初は感覚器群により解読器網を通して駆動器群を制御する装置であったが、活動は変化の伝達の時に行われている。その活動単位は立ち上がり頂点に止まることなく減衰

するインパルスの形となる。脳神経回路のしくみはデジタル的に状態を変化させる活動単位であるインパルスを転送しているとして説明を試み、そのしくみを持つ電子装置を開発する研究に取り組んできた[3], [4], [5], [6], [7], [8]。

本報告では、活動単位を転送するシステムの設計概念で従来の PLD (Programmable Logic Device)の技術を用いて自動的に建て増されるしくみの回路を報告する。

PLA (Programmable Logic Array)などの PLD では、入力側に書き込み可能な解読回路を作ることにしている[9]。その接続ポイントにはフラッシュメモリ[10]に組み込まれている FG-MOS FET (Floating Gate Metal Oxide Semiconductor Field Effect Transistor) が用いられている。ここでは、FG-MOSFET を選択ゲート付き受動素子として接続ポイントに用いた書き込み型双方向翻訳回路を提案する。

この回路を自動的に建て増す自動書き込みシステムを設計するにはコンピュータの CPU おけるマシンサイクルの設計技術である「有限状態機械」(Finite State Machine) [11]を用いる。ここでは「有限の活動状態を操作する機械」を「活動状態を電荷がある状態として、活動を転送する回路で構築される回路網」とする。

本報告ではこの回路の設計をより明確にするために、言語処理および視覚を実現するシステムの例も報告する。

2. 活動単位を転送する脳神経系のモデル

2.1. 活動単位を転送する知能活動のモデル

2.1.1. 離散的な活動単位としてのインパルス

最も簡単な動作は条件反射である。その活動は、「もし前提条件が満たされるならば、それは、指定された活動をする」として IF-THEN rule (Production rule[12])の形式で記述してコンピュータでも実行できる。

一つの独立した活動は立ち上がり、停止せずに立ち下がる。活動は絶えず状態が変わり、非線形である。その活動の結果はデジタルの状態の変化をもたらす。

2.1.2. 活動単位を転送するシステムの中継点

複数の個別の活動を転送するシステムでは、活動を選択する際には途中で中継点 (junction) をおいて、データの転送を解読器で振り分ける。インパルスの発生しているパターンがその時の状況を示すので、それを一致検出回路 (AND 回路) の入力端子に接続すれば解読器ができる。その出力は他の活動を引起すことができ、場合によっては他の活動を抑制することもできる。

2.1.3. 活動を組織する回路要素

神経細胞からインパルスが出力されて、それによって神経細胞が一つの発火をするために回路が組織される。解読器の出力の活動をループ回路に巡回させれば保持できる [13]。その活動群を上位の解読器で解読できる。

ここで、分割された前提条件は全体の条件より汎用性があり、多くの成分を組み合わせればその種類数は非常に多く

なる。つまり、神経細胞系は階層化することによって汎用性と適応性を兼ね備える。

時間的に離散する活動の間には区切りがあり、活動が閾値以上の期間消失した事を検知した時にその活動の区切りとして、上位の解読器で解読する。その解読された出力を一つのループ型短期記憶回路に書き込み、それをその集合全体を代表する表現とする。短期記憶を解読する解読器は時間を前後する活動を組み合わせる操作できる。

2.1.4. OR 論理の接続と小脳の神経回路

筋肉などの駆動装置には多くの制御回路の出力が接続される。そこでは出力間同志が相互に干渉し合うことを避けるために OR 論理で駆動機に接続しなければならない。ところが、多量の入力端子を持つ OR 論理の回路では僅かなノイズによって動作する。

そこで、ド・モルガンの定理により、負論理 (反転された) の信号を NAND 回路に入力して OR 接続を実現する方法がある。これは一つもインパルスが来ない時には、連続的に発生しているインパルスを抑圧するインパルスを出力して OR 接続を実現する。この回路方式は小脳にある抑圧性のプルキンエ細胞の回路から想起された [14]。

2.2. 不揮発性半導体記憶素子による回路の形成

2.2.1. 浮遊ゲート MOSFET (FG-MOSFET)

浮遊ゲート MOSFET (FG-MOSFET) は、通常の MOSFET のゲートとチャネルの間の酸化膜中に浮遊ゲート (Floating Gate; FG) を挿入し、FG はドレインから薄い酸化膜で分離し、ホットエレクトロンを FG に注入する時あるいは注入された FG の電子を排出する際にその薄い酸化膜を通過させる。

FG に電子を注入するにはある程度の電流が必要で、ソースとドレインの間の電流でホットエレクトロンをつくり、上部のゲート電圧によって FG にホットエレクトロンを注入する。その注入された電荷により、ゲートのしきい値電圧が高くなり、この状態では通常のゲート電圧ではドレイン電流を流せなくなる [15]。そこで、書き込みに負論理の信号で正のインパルス信号が入力した箇所を切断する。切断されずに残された接続できる状態の FG-MOSFET のラインに元の正論理の信号を加えると一致した場合に電流が流れる。

2.2.2. 信号の転送ルートの切り換え回路

図 1 に負論理の信号を正論理の信号に切り替える回路を示す。ここで、伝送ゲート (Transmission Gate) は、活動の流れを制御することができる。FG-MOSFET に書き込む操作のゲート電圧は図 1 の反転回路を通過するルートを使い、読み出す時にはルート切替信号を反転する。

図 1 の上側の反転ルートが導通するのは p-MOS FET のゲートには L (低い) レベルで n-MOS FET のゲートは H レベルである。その時に図 1 の下側の回路では n-MOS FET のゲートは L レベル、p-MOS FET のゲートには H レベルになり、このルートは閉じられる。

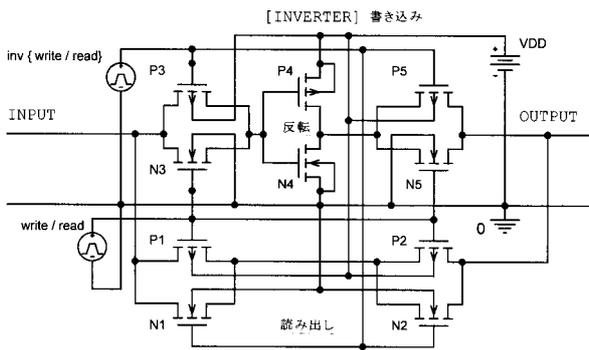


図 1 正論理の信号と負論理の信号とを切り替えるルート切り替え回路

Fig.1 A switching circuit to exchange between an inverted signal and the non-inverted signal.

2.2.3. 浮遊ゲートに記憶された電荷の消去

FG-MOSFET の不揮発性の記憶として保持されている電荷は少なく、書き込みに比べて消去に必要な電流は極少なので、記憶の消去は Fowler-Neordheim トンネル効果 [16] という強い電界により電子が薄いシリコン酸化膜を移動する量子力学的な効果を利用する。

なおフラッシュメモリでは Fowler-Neordheim トンネル電流で一括して消去し、それぞれの記憶素子に選択トランジスタを接続することを省いている。第3世代のフラッシュメモリの条件は V_g をゲート電圧、 V_d をドレイン電圧、 V_s をソース電圧、 V_b を基板電圧として、次の通りである [17]。

- 1) 書き込みは $V_g=9V$, $V_d=4.5V$, $V_s=0$, $V_b=0$ である。
- 2) 読み出しは $V_g=5V$, $V_d=1V$, $V_s=0$, $V_b=0$ である。
- 3) 消去は $V_g=-8V$, $V_d=8V$, $V_s=8$, $V_b=8$ である。

3. 活動を転送する智能回路

3.1. 論理回路としての解読器

組み合わせ論理回路は pull-down と pull-up のトランジスタから構成できるが、解読器は pull-down のトランジスタに複数の FG-MOSFET を用いる。そこで全ての入力信号を非反転して L レベルである FG-MOSFET を接続可能として残す。

図 2 に PLA の AND 面 [18] の回路を示す。ここでは、FG-MOS1 と FG-MOS2 が、FG-MOSFET で pull-down トランジスタとして機能する。なお、P2 は F0 のタイミングにプレチャージのために使われる。ここで、F12 の期間の間に N1 と共に P1 を導通させる時に、Inv A (F1) の入力は、A (F1) の反転信号 (0→1, 1→0) であると反転信号か非反転信号のどちらか一方が H レベルになり、H レベルの素子は遮断される。

読み出しの時に同じ信号が加えられると H レベルが加えられる素子は書き込みで遮断されているので電流は流れない。NOR 型の解読器の出力はすべての pull-down トランジスタが OFF 状態でなければ H レベルを保持できない。

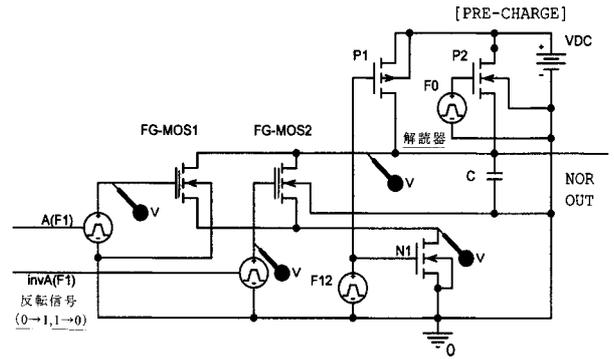


図 2 書き込み可能な解読器

Fig.2 A NOR type of programmable decoder

図 2 の回路方式で A(F1), invA(F1), B(F1), invB(F1) … とすればデジタルの解読器の動作をする。

3.2. 書き込み可能な符号器

図 3 に示す符号器は負論理の信号を FG-MOSFET に加えて接続が可能な状態を選択的に残し、それに正論理の信号を加えて導通させる。符号器は $N=2^n$ 個の並列するの出力を n 個の OR 回路によって n ビット並列データに情報の圧縮ができる。

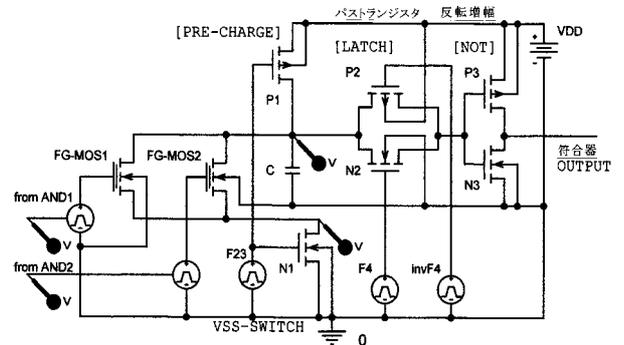


図 3 書き込み可能な符号器

Fig.3 A programmable encoder

3.3. 循環する活動による継続的な活動

奇数個の反転増幅器をループに連結して作るリング発振器が発生する発振信号をクロックにすることができる。クロック信号をカウントすることによりタイミング信号が得られる。

一般に、MOS 反転増幅器の入力インピーダンスが非常に高いので、浮遊容量でもその電圧が保持できる。2 段の MOS 反転増幅器に、2 相のクロックを交互に加えて、インパルスを送ると同期型シフトレジスタができる。ここで、2 相のクロックは同じ期間を持っていて、Vdd と 0 との電圧を切り替える。クロック信号は H レベルの時は、L レベルの時より多少短くして、高い時に重なりがないようにしている。

3.4. 活動の中継回路としてのシフトレジスタ

インパルス列を水平に転送する際に転送回路の一段毎に垂直に出力を分岐して転送すれば垂直方向の分岐列には並列に出力が得られる。2段の反転増幅回路を連ねる列によりシリアルイン/パラレルアウトのレジスタができる。

レジスタのパラレルの出力端子群を解読器群に分配するためのシフトレジスタには電力を供給できるダイナミック MOS シフトレジスタのレシオタイプが適している。

遅延して転送する要素の列に単発のインパルスを送り、各要素の出力を順序あるプロセスの稼働条件の1つにできる。稼働信号とタイミング信号の AND 接続により順序のある動作を制御できる。シリアルな制御のための OR 接続は、図3において pull-down トランジスタを接続可能な状態にする。なお、OR 回路を FG-MOSFET に書き込む際には解読器と同様にホット電子の注入して切断するので、図1に示された反転と非反転のルートの切り替え回路が必要になる。

一般に、制御動作は積 (AND 図2) 和 (OR 図3) の回路で構成され、これらの組み合わせ論理回路の動作はコンピュータシミュレータにより検討できる[19]。

4. 視聴覚に関する活動

4.1. 階層構造の言語活動

発音記号或いは表音文字などの記号列を単語としその単語を登録番号にして転送し、単語の番号列を文章として解読して文章の登録番号にする。逆に、文章の番号を解読して単語の番号列に展開し、単語番号を解読して記号の列に展開する。この階層構造を持つ言語表現の活動媒体は、最下位の活動が常に稼働するので、稼働効率が良い。

4.2. 書き込み可能で解読器にも符号器にもなる回路

従来の PLD では解読器を符号器へ信号を翻訳するが、その回路で変換された信号を解読して元の信号に戻すことができれば非常に便利である。従来はゲートに信号を入力してドレイン側に出力するので、信号は逆方向に通過することができない。しかし、MOSFET のソースとドレインは交換可能であり、内部抵抗の少ない信号電源を入力側とする時に出力側を高いインピーダンスにして、入力側から出力側を制御できる。また、入力信号が H レベルと L レベルでは FG-MOSFET のドレイン電流が逆に流れるようにもできる。

FG-MOS FET をゲート電圧が選択信号で制御される能動的な面があるが、デジタル信号に対しては受動素子と考えて信号を右から左に翻訳することも、逆に左から右に信号を戻す翻訳をさせる。こうして、著者は符号器として元のデータに戻すことができる解読器を作ることを試みた。図4に書き込み可能な双方向に翻訳できる回路の例を示す。

FGNE1 と FGNE2 を並列に接続して、一つでも入力 L レベルのものがあれば、そこに電流が吸い込まれるように信号源を設定して全て H レベルの時だけ出力が H レベルになる解読

器ができる。出力側の符号器は微小な出力電流にした負荷を持つ FGNE3, FGNE4 を図4の如く並列させて接続する。

図4の回路の主要回路は左右対称であり、入口と出口を双方に準備して切り替えることによって、解読器から符号器の信号の流れを逆方向にも変換できる。

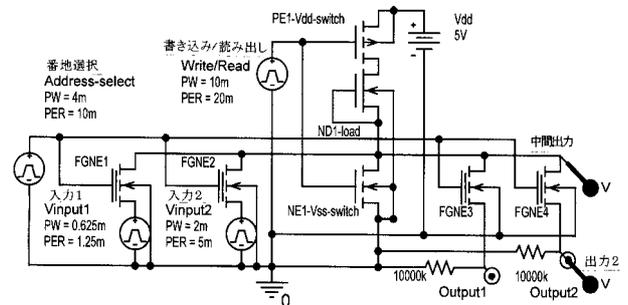


図4 書き込み可能で解読器が符号器になる双方向論理回路
Fig.4 A programmable bi-directional decoder possessed of encoder

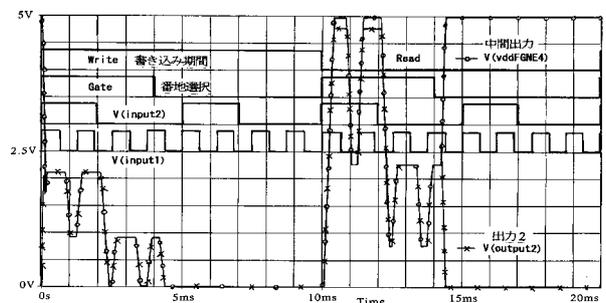


図5 書き込み可能で解読器が符号器になる回路の特性
Fig.5 Responses on a programmable bi-directional decoder possessed of encoder

図5に電子回路シミュレータ PSpice [20]によって、動作の確認をした図4の回路の特性を示す。

図5の特性では最初に書き込み信号をHレベルにして書き込む。この時、PE1-Vdd-switch は OFF, NE1-GND-switch をONになる。この時に番地選択信号がHレベルにあつて、Hレベルの入力の信号電圧が加えられるFG MOSFET が導通して、書き込み電流がNE1-GNDswitchを通して流し出される。この時、図5に示されるように、出力に電圧が現れるが、書き込み期間として時間でスイッチすれば問題は解消される。

他方、書き込み信号がLレベルになると、PE1-Vdd はON, NE1-GND は FF となる。この読み出し期間に、番地選択入力 Hレベルにある出力側のFGNE3及びFGNE4が導通状態になり、出力側に出力が現れる。

入力側で並列する FG MOSFET の全てがHレベルの時にだけ、H レベルにするように信号源の回路を設定する。H レベルの時に符号器に供給する出力電流はデプレッション型の N 型 MOSFET である ND1-load から注ぎ足すことができる。

読み出し状態で Address select が0となるとルートが遮断されるので FGNE2 のソース側は0, ドレイン側はVddに近くなる。なお、この回路は容量によるキャリア蓄積効果があり、立下りが

遅れて、切り替え時にスパイクも発生する。図5ではスパイクが出ないように駆動電圧のパルス幅を設定している。

4.3. 書き込み可能な言語情報の翻訳回路の規格

最初に単語の文字情報あるいは音声情報を入力に出力に単語の番号を書き込む。この作業はコンピュータを介して指定された順序で入力する。その際に言語表現の区切りもデータとして利用する。ここで、音声の符号化の作業はコンピュータを用いたデジタル信号処理によりPARCOR(partial auto-correlation)係数を算出する等の技術を使う[21]。

実用的な VLSDI の規格を求めてみる。音声の活動は50~60種類の発音記号に対応させて、6ビットで可能であるが、従来の如く1文字を8ビットで表現し、16個の文字で単語を表現すると、 $8 \times 16 = 128$ ビットの入力で単語を特定できる。この128ビットの入力で8,192の単語を識別する単語の解読器群では1,048,576のマトリクスポイントを接続か遮断のどちらかに決めることになる。

さらに、一つの単語ごとに一つの出力回線を使わずに、単語種別番号の13ビットの符号で表現すると、その単語指定符合器のマトリクス要素は $13 \times 8,192 = 106,496$ である。この符号器はその接続点群を解読器として書き込む。

文章のPLDでは、13ビットのデータで1つの単語を特定して、19個の単語の組み合わせ $13 \times 19 = 247$ ビットを1つの文章として入力し、8,192種類の文章を登録すれば、その解読器のマトリクスのポイントは2,023,424となる。

8,192種に区別された文章は13ビットの番号で区別できるので、この符合器のマトリクス要素は106,496となる。文章の登録番号の解読器として逆方向から書き込み、その回路の導通点群を符号器として利用する。

ここで、実用的な言語活動としての記憶容量の規格の例を表1に示す。

表 1. 実用的な双方向論理回路の接続点数の例

	入力	項目	出力	入力 & 出力の接点数
単語用	8bit×16字	8,192	13bit	1,048,576 & 106,496
文章用	13bit×19語	8,192	13bit	2,023,424 & 106,496

5. 視覚を構成する書き込み可能な回路

5.1. 視覚の形成

視覚の場合には、実世界から入力する映像のデータを素材にして、認識の世界の活動をかなり展開できるが、画像として表現できるデータは少ない。

視覚形成の最初の段階に関する知見として、孵化したアヒルなどの刷り込みは実世界における映像に基づいて視覚のシステムが構築されることを暗示している。そこで、個別のパターンを抽出して、次にその画像を認識する。

5.2. 物体の位置の認識

最初に、動体や色分けなどで物体を区別すると画面が部分画像要素に区分される。それぞれの部分画像の範囲はx座標及びy座標のそれぞれの最大値と最小値から求めることができる。区域の中心の番地(x,y)も決めることができる。区分けされた部分領域の画像のデータを別々に新たな記憶領域に書き写す。

3原色に各8ビット24ビットの視覚データで表現された画像が縦512×横512で262,144個の画素(pixel)で表現されると総データ量は6,291,456ビットになる。なお、画素の番地は9bitと9bitで18ビットのデータで表現できる。

5.3. テンプレートマッチングによる画像の認識

個別物体の画像の新たな記憶領域の区画を例えば縦16横16合計で認識することを考えると256個の画素のパターンにデータを記憶して照合することになる。1つの抽出成分で256区域のパターンができて、様々な性質の荒いテンプレートマッチングの組み合わせで画像認識を行う。

ここで、区分される元の部分画像のサイズには大小があるので、部分画像新しい空間サイズの規格にする際に各画素の映像データを元の画素の映像データから計算して求める。新しい最小区画に規格化された画素のデータの格納場所は256のレジスタのデータが様々な切り口を解読器の入力として256となり、解読器の入力端子として接続したデータのテンプレートマッチングの照合が一度にできる。ここで、回路網が部分的に活動するとして認識回路網の活動は外界が変わるとその変化に対応して切り替えるようにする。

参照データは具体的なセンサーに合わせて書き込む。規格化したデータに書き写す際の操作の順序をカウンターで指定し、操作は解読器で選択する。

5.4. パターン認識活動の組織化

網膜から大脳の視覚野のカラム構造に至る神経回路のしくみをモデルすれば、物体の空間区域について細分化し、折れ線近似の一つの線を抽出し、それらを組み合わせで辺や曲線として認識し、それらを形状として認識するという具合に、画像成分の解読器の出力群を幾つも組み合わせで階層的解読する画像認識が考えられる。

6. 結論

脳神経系の機能を活動転送システムとして説明した。つまり、脳神経回路網はインパルスという活動単位を転送し、回路を形成しながら稼動する。電子回路においては浮遊ゲートMOSFETを接続点とする解読器をその活動の媒体であるとして回路を形成するしくみを検討した。

神経細胞は発生された離散的な活動単位の部分集合に対して閾値でインパルスを発生する。その出力の論理は

積和の論理式により表現できる。活動の存在を電荷の存在で表現すると、インパルス運転システムは電荷転送回路としてダイナミック MOS VLSI や CCD の技術及び PLD の技術によって実現できる。

状態を扱うデジタル回路でも実際には信号が伝達される時に演算を行っているので、VLSI の回路技術はインパルスで駆動する回路においても用いることができる。インパルス運転システムには、レジスタとメモリの間を行き来する必がないので、伝統的なデジタルの回路と区別して「インパルス電子装置」と称することができる。

従来のダイナミック MOS 回路では様々な活動のために活動単位をそれぞれのルートに転送するために分岐点と番地解読器が必要である。複数のクロックを使うことによって時間分割の動作ができて、PLD による番地解読器網によりでインパルスが転送されるルートを作ることができる。

FG-MOSFET のソースとドレインは交換可能であり、この素子で導通させたポイントは逆方向にも情報を流すことができる。活動を電荷で表わし、電荷の移動は電流となり、その電流を逆方向に流すことができる。従来はゲートに信号を入力していたが、ゲート電圧に選択信号を加えて導通状態にある FG-MOSFE を受動素子と考える活動を電荷で表現しその電荷を右から左に送り、逆に左から右に送ることができる。そこで成分の解読器としても元の成分に戻す符号器としても用いる回路ができる。すなわち、逆に変換したデジタル信号を元に戻す変換ができる双方向の論理回路ができる。著者が新しく提案した「書き込み可能な双方向の論理回路」の動作を電子回路シミュレータ PSpice で確認した。

視聴覚に用いる解読器群を構成する PLD には、256 本程度の入力データベースを持つ素子が欲しい。まず、PLD を用いてインパルスで駆動するシステムを試作し、その後、全体システムの VLSI を設計製作する。

本報告の活動単位を転送する脳神経回路の機能モデルはまだ一般論的な段階の論議であり、今後、生体の脳神経回路の多岐にわたる機能のしくみや脳の計算機理論との検討が残されている。

本報告の回路モデルは半導体電子デバイスの開発のみならずソフトウェアを開発する際にも利用できる。また、脳神経回路網には実世界のルールが因果律として記憶するなど神経細胞のしくみとして理解できるものがある。活動を転送する脳神経回路網のモデルは知能のメカニズムや知識の構造等を学問する上でも貢献できる。

文 献

[1] J. P. Levy, D. Bairaktaris, J. A. Bullinaria, P. Cairns, "Connectionist models of memory and language", UCL Press Limited, 1995.
[2] R. J. Schalkoff, "Artificial neural networks", McGraw-Hill Book Co. 1997.
[3] 唐澤信司, "インパルス電子装置", 特許第 3496065 号,

特願 2000-179115, 2000.
[4] S. Karasawa, "Model of linguistic activities as ad hoc interactive activities in an impulse driven multi-agent system", 7th World Multi-conference on Systemics, Cybernetics and Informatics, Orlando, USA, July 27-30, Vol.14, pp.365-370, 2003.
[5] S. Karasawa, "The strategy of impulse driven working memory for visual perception", Proc. of Inter. Conf. on Imaging Science, Systems, and Technology, June 24-27, Las Vegas, Vol.2, pp.729- 735, Jun. 2002.
[6] S. Karasawa, "Neuromorphic impulse circuits for a speech production", 7th Western Pacific Regional Acoustics Conference, Kumamoto, Japan, 3-5 Oct. Vol.1, pp.207-210, 2000.
[7] 唐澤信司, "インパルスの部分集合で表現された言語を解読する回路組織のしくみ", 信学技報, NC2002-123, pp.37-42, 2003.
[8] 唐澤信司, "インパルスの部分集合を画像認識の活動単位とした視覚システム", 信学技報, PRMU2003-39, pp.7-12, 2003.
[9] R. L. Geiger, P. E. Allen, N. R. Strader, "VLSI design techniques for analog and digital circuits", McGraw-Hill, pp.788, 826, 1990.
[10] H. Motta, G. Ragone, O. Khouri, G. Torelli, R. Micheloni, "High-voltage management in single-supply CHE NOR-type flash memory", pp.554-568, Proc. IEEE, Vol.91, No.4, 2003.
[11] C. Mead, L. Conway, "Introduction to VLSI systems", Addison- Wesley, pp.82, 1980.
[12] A. Newell, H. Simon, "Human problem solving", Prentice Hall, Englewood Cliffs, NJ. 1972.
[13] S. Karasawa, "Impulse recurrent loops for short-term memory which merges with experience and long-term memory", Proc. of 3rd Int. Conf. on Cognitive and Neural systems, pp.36, Boston Univ., May 26-29, 1999.
[14] S. Karasawa, J. Oomori, "Impulse circuits for a distributed control inspired by the neuroanatomical structure of a cerebellum", Intelligent engineering systems through artificial neural networks, Vol.10, pp.185-190, ASME press, New York, 2000.
[15] D. Kahng, S. M. Sze, "A floating gate and its application to memory devices", Bell Syst. Tech. J., 46, 1283, 1967.
[16] M. Lenslinger, E. H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO₂", J. Appl. Phys, Vol.40, pp.278-283, 1969.
[17] G. Campardo, M. Scotti, S. Scommegna, S. Pollara, A. Silvagni "An overview of flash architectural developments", Proc. of the IEEE, Vol.91, No.4, pp.523-536, 2003.
[18] N.H.E. Weste, K. Eshraghian, "Principles of CMOS VLSI design: A systems perspective" AT&T, 1985,
[19] 唐澤信司「インパルスを転送して知的活動を行なうダイナミック MOS 回路網」宮城高専研究紀要, 第 40 号, pp.1-8, 2004.
[20] PSpice A/D Basics, Schematic Design Entry OrCAD Capuure, OrCAD, Cedence Design Systems, Inc., 2001.
[21] Fujitsu 音声処理ライブラリ"Voice Base II", 株式会社アニモ, 1998.