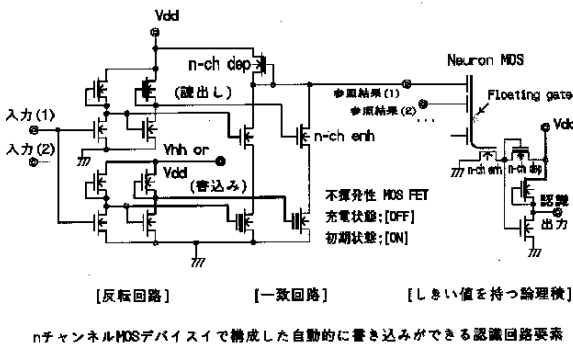
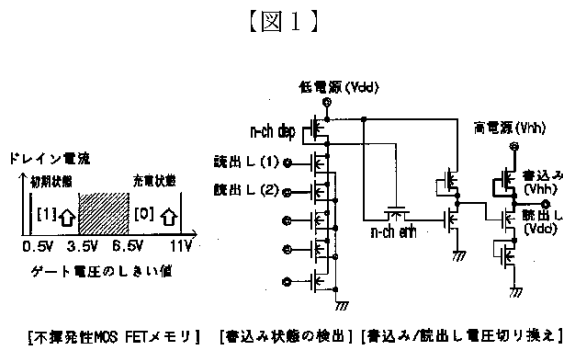


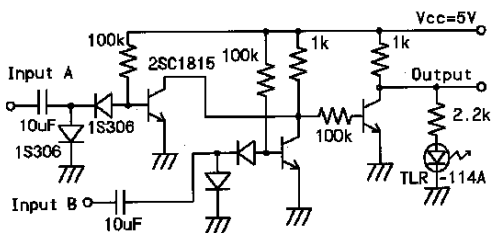
を更に上位のインパルス回路で認識をして階層的な認識ができる。要求項目7により、インパルスの数を増やすことによってインパルスの時間調整ができる。この回路によって時間的に遅れた事柄を示すインパルスとも組み合わせることでデータマッチングをすることができて認識できる情報の区切りを広くできる。さらにインパルスの数を増やすことによってノイズに強くする事ができ、動作を確実にさせることができる。要求項目8の論理和回路を用いて、幾つも並列する制御回路により一つの駆動素子の制御を行うことができる。また要求項目8の出力反転の論理積回路を用いて、他の回路を静止させる命令や処理を切り換える命令を検出することができる。以上に述べたインパルス回路を組み合わせることで装置に組み込むことによって、脳神経系が所持する様々な機能が実現できる。

【図面の簡単な説明】

【図1】「nチャンネルMOSデバイスで構成した自動的に書き込みができる単位のインパルスの認識処理をす*



【図3】



*る原理的な回路を示す。」

【図2】「単安定マルチバイブレータを用いてインパルスを遅延する回路である。」

【図3】「インパルスの入力時にトランジスタに流れ込む電流を切り換えるようにした論理積回路である。」

【図4】「要求項目1でインパルスによる活動単位に分割して表現した要素の動作の関係を示す。」

【図5】「要求項目2を用いたシリアルインパルスを連続的に弁別する回路である。」

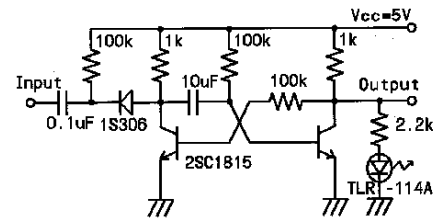
10 【図6】「要求項目4および5のインパルスの巡回ループによる短期記憶回路を示す。」

【図7】「要求項目5のインパルスのループによる短期記憶回路の組織化を示す。」

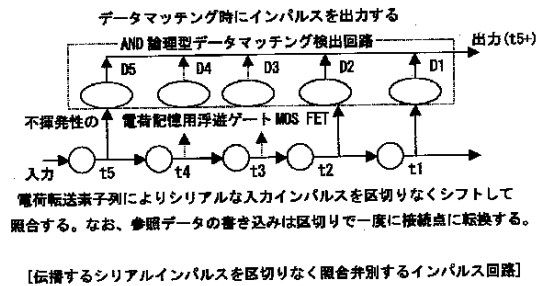
【図8】「要求項目1を用いたシリアル入力/パラレル出力変換用のインパルス回路である。」

【図9】「要求項目6および要求項目8の回路を制御に用いた動作を指令するインパルスを発生する回路である。」

【図2】



【図5】



【図4】

