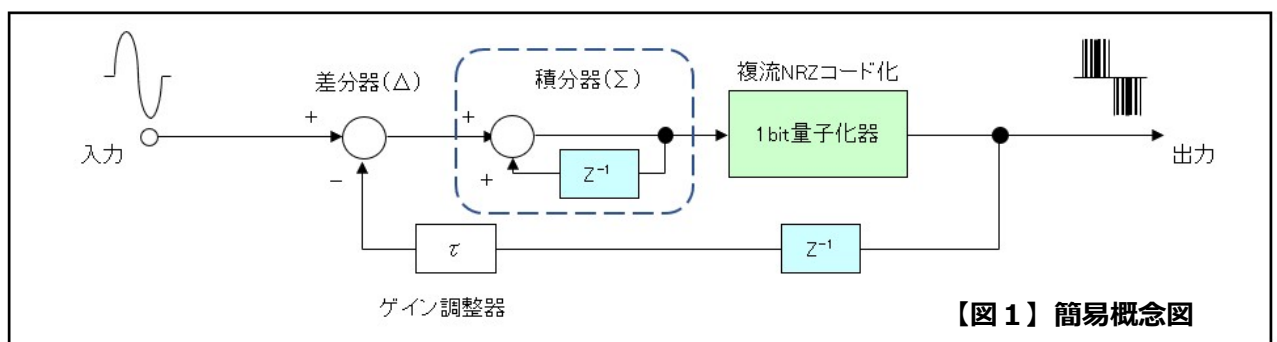


ΔΣ変調型 DAC について

現在主流になっている ^{デルタシグマヘンちょう} ΔΣ 変調型 DAC ですが、簡単に文章で表現すると以下のようになります。

アナログ入力信号のサンプリング値を時間軸で積算(Σ)&量子化した信号を入力にフィードバックして次の入力サンプリング値との差分(Δ) を求め、中点電圧と比較した結果を量子化する形式の DAC。量子化を複流の NRZ (ノンリターントゥゼロ) コードにすることで、出力はレベルに比例したパルス幅 (密度) で変調された PWM (PDM) 波になります。

このように書いても、書いた本人が理解できませんので、以下に概念図を示します。



【図 1】簡易概念図

基本構成は、帰還ループの入力ポイントになる『差分器 (Δ)』、積算部分 (『積分器 (Σ)』: 帰還加算) と『1bit 量子化器 (NRZ)』、帰還ループに配置される『ゲイン調整器』から成ります。

それぞれの働きは、

差分器 : 入力量から帰還量を引き算する

積分器 : 1クロック遅延器 (Z^{-1} : 1クロック前の情報にする) を使った帰還加算器

1bit 量子化器 : 連続なアナログ量を 0 と 1 いずれかの離散値に置き換える (NRZ 複流)

ゲイン調整器 : アナログ信号と整合するようにする (一巡ゲインを 1 にする)

こうしてもよく分かりませんが、おおまかに言ってしまうと「**帰還ループを使って 1 クロック前の情報を時間方向に積算する仕組み**」になります。

正弦波入力に対する動作イメージを考えてみます。(図 2 を参照)

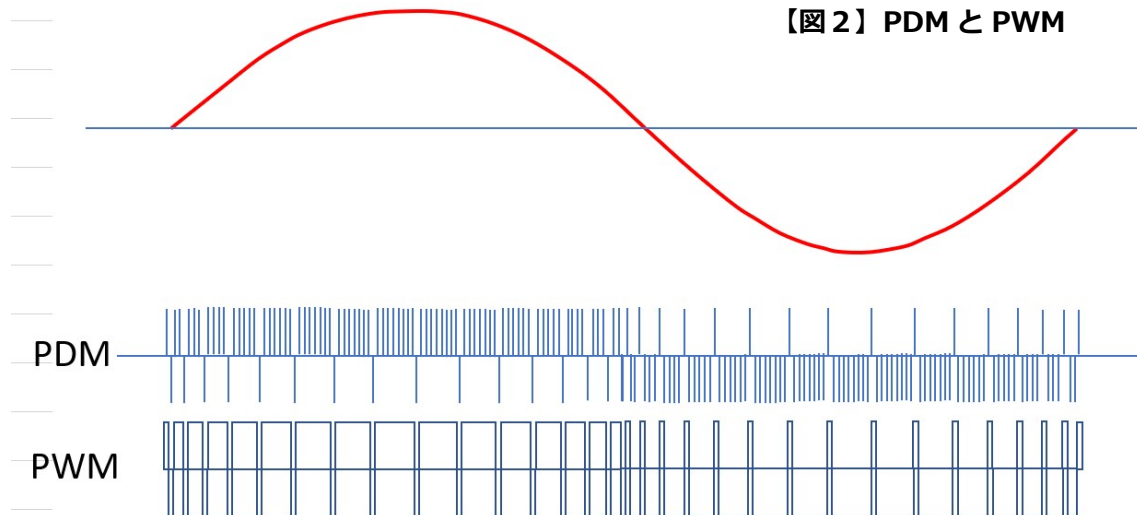
1クロック前の情報に対して増えていけば量子化値が 1、減っていれば 0、それを時間方向に積み上げるので、入力が±0であれば出力に 1 と 0 (+と-) が交互に生じます。

しばらくして出力に 1 (+) の出現率 (時間方向の密度) が上がっていくのは入力レベルが + 勾配で上昇した結果であり、さらに 1 が密になっている部分は入力レベルが + 最大値になっていて、続いて 1 の密度が減り始めると入力レベルが - 勾配に転じ、出力に 0 と 1 が交互に生じる (入力が±0) を通過して 0 (-) の出現率が上がっていき (入力レベル

の勾配が-)、さらに0が密(1が疎)になっている部分はレベルが-最大値になっていて、再び0の密度が減り始めると入力が+勾配に転じる・・・。

イメージとして掴めたでしょうか。(図2を参照)

PDM が幅一定のパルス出現密度に変調されているのに対し、PWM の場合は数段階のパルス幅を持つパルスに変調されます。



どちらも1と0の状態を時間方向に積分した面積が多ければ+勾配、少なければ-勾配となりますので、後段でLPFを通す(積分する)ことでアナログ信号に疑似します。

ΔΣ変調型のメリットは、

- (1) 上記のように構成が簡易化できる
- (2) 1bit量子化なので電圧(電流)軸のレベル管理が簡単

マルチビット型(R-2Rラダー型)DACでは各bit電圧(電流×抵抗値)の積み上げにより出力を得るため各bit電圧(電流×抵抗値)のレベル管理が必要になる
 ⇒ 各bitを構成するラダー抵抗の精密レーザー・トリミングが必要
 ⇒ R-2Rは高価になる

- (3) オーバーサンプリングを使用したノイズシェーピングによる量子化雑音の低減が可能
 = オーバーサンプリング比(OSR)とDAC次数を大きくすることにより、S/N比が改善する

もちろんデメリットもあります。

時間軸の揺らぎ（**ジッタ**）に関しては 1bit の方が影響を受けやすくなります。

以下に理由を説明します。

1bit 量子化器から PWM 変調された信号が出力されるので、それを積分する（SCF+LPF を通す）ことでアナログ信号に復調する仕組みになっています。 SCF：スイッチトキャパシタフィルタ

具体的には、フィルタを通すことで PWM パルス（高さが一定で継続時間幅が $x1$ 、 $x2$ 、 $x3 \dots$ 逓倍のパルス）の面積が縦方向の出力レベル（電流）の波形傾斜に変換されます。

ここでパルス幅を生成するクロックにジッタが発生している場合には、パルス幅が一定でなくなり、面積が正しい値で再現できなくなります。⇒ 積分値がモジュラれます。

これはアナログ再生信号として正しい形状にならないことを表しています。

1bit 量子化器の THD+N（ノイズ N に依存する D.range も）は十分に低くできるものの、上記のように実際の D/A 変換部分に相当する SCF（スイッチトキャパシタフィルタ：R = T/C 変換器）にもジッタ依存性があるため、この部分の性能（クロックのジッタ成分抑圧）がラダー型の R 精度と同じように出力の精度に影響します。

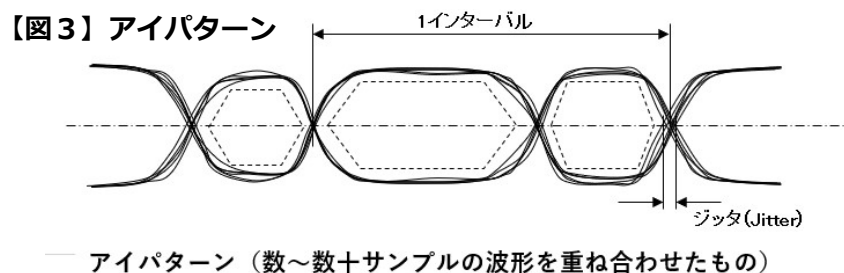
時間ジッタは何が原因で起きるかという、単純に PLL や水晶発振器のジッタもありますが、処理に必要な周波数を得る際に使われる分周器の閾値精度（フリップフロップ F/F の立ち上がり精度）にも由ります。

実際の DAC 構成は片電源（+5V）が多く、2V 強（2.2V あたり）を基準電圧（**DZC**）にした差動（複流）となります。 DZC：Digital Zero Crossing

全ての動作が、この DZC（実際には $0.5 \times DZC$ と $1.5 \times DZC$ も）を閾値として動作しますが、この値でのインターバル（繰り返し周期）が時間経過と共に**常に変化**（実際のジッタとしては数百 ps オーダーだが・・・）してしまうことが原因になります。

ジッタは TIA（タイム・インターバル・アナライザ）などで波形インターバル値を測定し、正規分布の σ 値（統計的なバラつき）として観測されますが、酷い場合にはアイパターン（図 3）が崩れてしまいます。

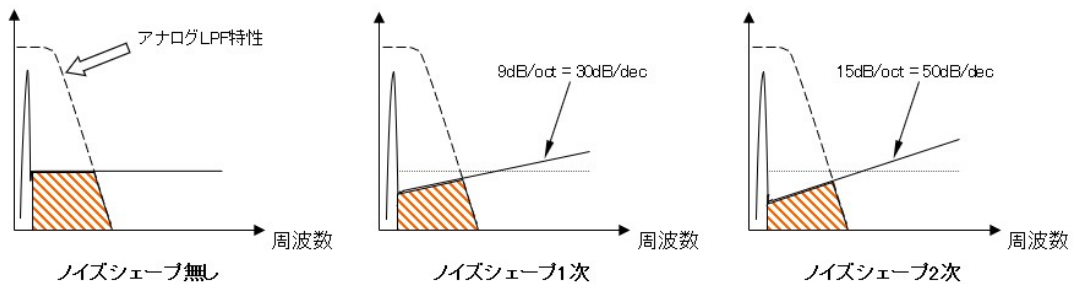
通信波形性能（復調可能かどうか）としては、点線の範囲に入らなければ OK と判定されますが・・・。



※ 生理的な聴覚の精度を測定する方法は現時点では無いし、『疲労』という因子の影響が大きいためジッタの影響だけを聴覚で判別できるかどうかは甚だ疑問※ですが、純技術的に見れば、影響を排除できるならば、それはベターな方向だと思います。

(3)項のノイズシェーピングは大きなメリットで、DAC 次数を 1 アップすると理論上 -6dB/octave (オクターブで半分) の改善が望めます。

イメージですが、図 4 の斜線部が LPF で除去できない量子化ノイズになります。



【図4】ノイズシェーピング

以下の URL は、ΔΣDAC について分かりやすく説明しています。Excel でのシミュレートも実施しています。

<https://xx3stksm.hatenablog.com/entry/2018/09/14/193059>